

Title of the Prior Art

Japanese Published Patent Application No. Hei.11-143812

Date of Publication: May 28, 1999

Concise Statement of Relevancy

There is provided a DMA circuit which makes it possible to perform a data transfer between plural channels and a memory, which is aimed at a concurrent processing, and, as the case may be, to perform concentrated transfers to a specific channel, thereby achieving the improvement in data transmission efficiency in a pipeline system. This DMA circuit is composed of plural DMA controllers, and an authorization circuit made up of hardware which gives an exclusive authorization to these DMA controllers, and comprises a forced authorization interruption means for forcefully interrupting an authorization which has already been given to an arbitrary DMA controller by the authorization circuit during the execution of the transfer, and an interrupting time information holding means for storing transfer information during when the DMA controller is interrupting by receiving forced authorization interruption, thereby enabling the transfer interruption in the forced interruption by the authorization circuit.

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143812

(43) 公開日 平成11年(1999) 5月28日

(51) IntCl.<sup>6</sup>

G 0 6 F 13/28

識別記号

3 1 0

F I

G 0 6 F 13/28

3 1 0 B

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平9-302461

(22) 出願日 平成9年(1997)11月5日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 溝口 哲生

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

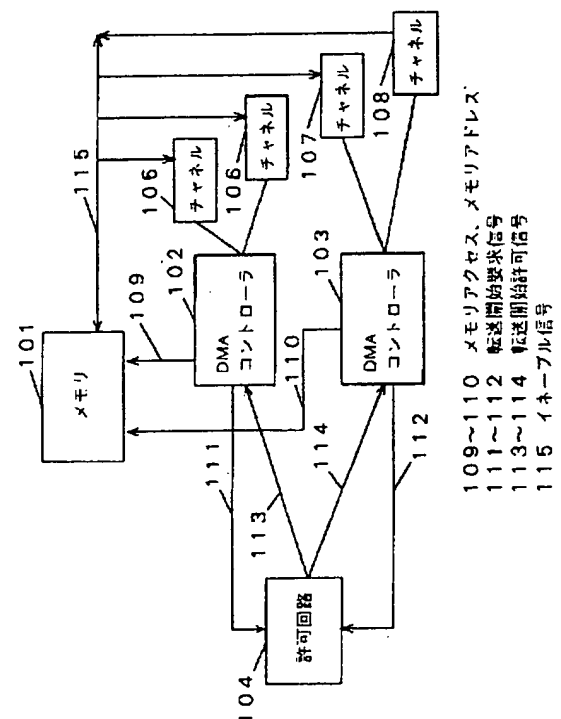
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 DMA回路

(57) 【要約】

【課題】 複数のチャネルを平行に活性化するためのデータ転送をDMA転送を用いて行う事を可能とし、場合によっては特定のチャネルへ集中転送を可能とすることで、パイプラインシステムでのデータ転送効率の向上を図れるDMA回路を提供することを目的とする。

【解決手段】 複数のDMAコントローラ102、103と、複数のDMAコントローラ102、103に対して排他的な許可を与えるハードウェアで構成された許可回路104とで構成される電子回路において、許可回路104が任意のDMAコントローラ102、103に対して転送実行中に既に与えてある許可を強制的に中断する強制許可中断手段と、強制許可中断を受けたDMAコントローラ102、103が中断時の転送情報を保存する中断時情報保持手段を備えることで、許可回路104による強制中断での転送中断を実現する。



## 【特許請求の範囲】

【請求項1】 DRMA等のメモリと演算処理チャンネルとの間でデータのやり取りを行わせるDMA回路であって、複数のDMAコントローラと、これらのDMAコントローラに対して排他的な許可を与えるハードウェアで構成された許可回路とで構成され、許可回路が任意のDMAコントローラに対して転送実行中に既に与えてある許可を強制的に中断する強制許可中断手段と、強制許可中断を受けたDMAコントローラが中断時の転送情報を保存する中断時情報保持手段を備えることで、許可回路による強制中断での転送中断を可能とすることを特徴とするDMA回路。

【請求項2】 許可回路からの強制中断を受けたDMAコントローラが、強制許可中断後一定の時間許可回路に対して許可要求を出さない一定時間許可不要求手段を手段を備えることで、許可回路がDMA転送の権利を他のDMAコントローラに譲り渡す処理の処理時間を担保することを特徴とする請求項1記載のDMA回路。

【請求項3】 DMAコントローラが強制許可中断を受け一定時間後に許可要求を出す許可要求手段と、許可要求を受けた許可回路がDMAコントローラに対して許可を出す許可付与手段と、許可を受けたDMAコントローラが中断時の転送情報を基に転送を再開する転送再開手段とを備えることで、一旦強制中断されたDMA転送の再開を可能とすることを特徴とする請求項1または2記載のDMA回路。

【請求項4】 前記強制中断と前記再開を繰り返し複数のDMAコントローラを切り替えることで、複数のチャンネルへのデータの転送を平行に行い、複数のチャンネルでの並行処理をすることを特徴とする請求項1から3の何れかに記載のDMA回路。

【請求項5】 強制許可中断を受けても転送中断しないモードであることを設定するモード設定手段と、設定がされている場合に強制許可中断を受けたDMAコントローラが転送中断を行わないことをハードウェアで判断する判断手段と、判断の時には任意の期間は許可中断後も転送を続行する転送続行手段とを備えることで特定のチャンネルの集中転送を他よりも優先することを対応可能にしたことを特徴とする請求項1記載のDMA回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はメモリとデバイス間のデータのやり取りを実行するDMA回路に関するものである。

## 【0002】

【従来の技術】 CPU（中央演算処理装置）に代わって、DRAM等のメモリと演算処理を事項するチャンネルとの間のデータ転送を効果的に行うのにDMA（ダイレクト・メモリ・アクセス）がよく用いられる。

【0003】 しかしながら、パイプライン処理により複

数の種類の演算処理を平行に実現する場合には、一つのDMAコントローラによってチャンネルをコントロールするだけでは、チャンネルでの処理が終了するまで他のチャンネルをアクティブにはできないという問題がある。

【0004】 この場合にはDMAコントローラを複数用意して、チャンネルをその複数のDMAコントローラにより制御すれば、平行したデータ転送が可能になる。しかしながら、この場合でも複数のDMAコントローラへの許可の切り替えにおいて、適切な制御ができないと一つの処理シーケンスがエラーのまま次のDMAコントローラがデータ転送を行ってしまうことになる。つまりこのような場合に適切な中断、再開を実行するDMAコントローラでなければ前記の様な複数のチャンネルを平行に活性化することができないことになる。

## 【0005】

【発明が解決しようとする課題】 以上のように並行処理を目的とする複数のチャンネルとのDMA転送は従来のDMA回路ではできないという問題があった。更に、活性化するDMAコントローラをただ切り替えるだけでは、特定のチャンネルへのデータの集中転送ができないという問題もあった。

【0006】 そこで本発明は、複数のチャンネルを平行に活性化するためのデータ転送をDMA転送を用いて行う事を可能とし、場合によっては特定のチャンネルへ集中転送を可能とすることで、パイプラインシステムでのデータ転送効率の向上を実現できるDMA回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 上記課題を解決するために本発明は、DRMA等のメモリと演算処理チャンネルとの間でデータのやり取りを行わせるDMA回路であって、複数のDMAコントローラと、これらのDMAコントローラに対して排他的な許可を与えるハードウェアで構成された許可回路とで構成され、許可回路が任意のDMAコントローラに対して転送実行中に既に与えてある許可を強制的に中断する強制許可中断手段と、強制許可中断を受けたDMAコントローラが中断時の転送情報を保存する中断時情報保持手段を備えることで、許可回路による強制中断での転送中断を可能とする。

【0008】 この構成により、パイプラインシステムでのデータ転送効率の向上を実現できるDMA回路を得ることができる。

## 【0009】

【発明の実施の形態】 請求項1の発明は、DRMA等のメモリと演算処理チャンネルとの間でデータのやり取りを行わせるDMA回路であって、複数のDMAコントローラと、これらのDMAコントローラに対して排他的な許可を与えるハードウェアで構成された許可回路とで構成され、許可回路が任意のDMAコントローラに対して転送実行中に既に与えてある許可を強制的に中断する強制

許可中断手段と、強制許可中断を受けたDMAコントローラが中断時の転送情報を保存する中断時情報保持手段を備えることで、許可回路による強制中断での転送中断を可能とする。

【0010】請求項2の発明は、許可回路からの強制中断を受けたDMAコントローラが、強制許可中断後一定の時間許可回路に対して許可要求を出さない一定時間許可不要求手段を手段を備えることで、許可回路がDMA転送の権利を他のDMAコントローラに譲り渡す処理の処理時間を担保する。

【0011】請求項3の発明は、DMAコントローラが強制許可中断を受け一定時間後に許可要求を出す許可要求手段と、許可要求を受けた許可回路がDMAコントローラに対して許可を出す許可付与手段と、許可を受けたDMAコントローラが中断時の転送情報を基に転送を再開する転送再開手段とを備えることで、一旦強制中断されたDMA転送の再開を可能とする。

【0012】請求項4の発明は、前記強制中断と前記再開を繰り返し複数のDMAコントローラを切り替えることで、複数のチャンネルへのデータの転送を平行に行い、複数のチャンネルでの並行処理をする。

【0013】請求項5の発明は、強制許可中断を受けても転送中断しないモードであることを設定するモード設定手段と、設定がされている場合に強制許可中断を受けたDMAコントローラが転送中断を行わないことをハードウェアで判断する判断手段と、判断の時には任意の期間は許可中断後も転送を続行する転送続行手段とを備えることで特定のチャンネルの集中転送を他よりも優先することを対応可能にした。

【0014】上記構成により、複数のチャンネルを平行に活性化するためのデータ転送をDMA転送を用いて行う事を可能とし、場合によっては特定のチャンネルへ集中転送を可能とすることで、パイプラインシステムでのデータ転送効率の向上を実現できるDMA回路を得ることができる。

【0015】（実施の形態1）図1は本発明の実施の形態1のDMA回路の機能ブロック図、図2は同DMA回路の動作のフローチャート、図3は同DMAコントローラの回路図、図4は同許可回路とDMAコントローラとの回路図、図5は同DMA回路のタイミングチャートである。

【0016】図1において、101はDRAM等のメモリであり、データ転送の転送元、もしくは転送先になる。105～108はDMAコントローラによってコントロールされるチャンネルであり、チャンネル105、106はDMAコントローラ102に、チャンネル107、108はDMAコントローラ103にぶら下がっている。これらのチャンネルの切り分けは一つの共通したジャンル毎で区分される。たとえば、チャンネル105、106は画像処理に関する演算チャンネル群でありDMAコントロ

ーラ102でデータ転送が制御され、チャンネル107、108は音声処理に関する演算チャンネル群であるといった区分がなされる。DMA転送を制御するDMAコントローラ102、103は、本実施の形態では2つあるが、その数はシステムによって任意である。

【0017】104はDMAコントローラ102、103を制御する許可回路であり、各DMAコントローラ102、103からの転送開始要求信号111、112に従い、転送開始許可信号113、114を与える。（それぞれの信号は、REQ、ACKとする。）すなわち、各DMAコントローラ102、103はCPU等の命令によりデータ転送が命じられてもそれだけでデータ転送を開始するのではなく、転送設定されたことでまず転送開始要求信号111、112を許可回路104に出力し、許可回路104が転送許可の信号を与えてはじめてデータ転送を開始する。つまり、この許可回路からの転送開始許可信号113、114がDMA転送の強制中断や、再開を司る。以上が全体の機能ブロック図の説明である。

【0018】次にDMAコントローラ102、103の詳細を図3の回路図を用いて説明する。301はDMAコントローラであり、転送を行うにはCPUがROM等にかかっているプログラムをフェッチしてアドレスとデータによるアクセスを行う。これらがCPUからのアドレス信号（CPU\_ADDRESS[15:0]）であり、CPUからのデータ信号（CPU\_DATA[15:0]）である。302はこれらのCPUからのアドレス信号に従って動作するアドレスデコードであり、アドレスデコードされたことを受け、CPUからのデータがCPU\_DATAのバスより入力し、DMA転送に必要な設定がなされる。まずメモリのスタートアドレスが初期設定され、回線303（アドレスデータ）を通じてレジスタ305に書き込まれる。同様に転送数が、回線304（転送数データ）を通じてレジスタ306に書き込まれる。これらのレジスタ305、306へはクロックとリセットが供給される。アドレスは転送に従いインクリメント309され、転送数はデクリメント310され残転送数としての表示となる。

【0019】さらにアドレスデコードによりメモリへのアクセス信号が一旦内部信号として回線307（メモリアクセス）に示すように生成され、同じくチャンネルへのデータの書き込み、もしくはデータ読み出しの為のインテール信号の内部信号308が生成される。

【0020】これだけの設定がされたところで転送命令がCPUから下されると、316に示すように許可回路への転送開始要求信号316が生成され、そのままREQとして出力される。またアドレスは314の論理積にACK315が入力することでメモリのアドレスとしてADDRESSとなって出力される。

【0021】ACKによって転送がはじめるのであるか

ら、309、310のインクリメントとディクリメントはACKが返ってはじめて動作開始である。動作が開始し転送が続行されるが、ディクリメント310において残転送数が0になったと判定されたら、転送は終了であるから、該終了状態が終了判定部311において判定され終了信号317が生成され、論理積（論理回路）312、313、314に入力する。この終了信号によりMEMORY\_ACCESS、ENABLE、ADDRESS、REQの出力が停止される。以上がDMAコントローラの説明である。

【0022】次に図4によって許可回路とDMAコントローラとの相関関係を示す。DMAコントローラからのREQの入力がREQ処理部401に対してあり、REQ処理部401内部で判断した後に、スイッチ402においてREQに対してのACKを切り替えて、DMAコントローラ102へのACK1、DMAコントローラへのACK2として出力される。REQの処理にはいろいろな方法があるが、本発明での対象外なので説明は割愛する。

【0023】以上のDMAコントローラと許可回路の基本的な動きについては図2のフローチャートを用いて説明する。回路動作のシーケンスを説明するためにフローチャートを用いる。まずCPU等により転送に必要な情報を設定する。ST201～ST203で示すように、開始するメモリのアドレス、転送数、転送先あるいは転送元であるチャンネルの指定等が設定される。ST204に示される状態のようにレジスタ書き込みなどでDMAコントローラにDMA転送に必要な情報が設定される。

【0024】次いでこの情報をST205に示すようにDMAコントローラはストックしておき、この内容を基にDMA転送を実行する。転送終了により該設定内容がクリアされるまで設定条件は保持されるので、転送命令の状態も終了時までには保持される。

【0025】転送命令の状態である場合にDMAコントローラはST206に示すように許可回路に対して転送開始要求信号を出力する。111、112である。該要求にしたがって許可回路はST207に示すように許可信号を受信して、DMA転送を開始する。

【0026】まずST208に示すように、メモリアクセスとメモリアドレスを出力し、メモリの中でのデータの取り出し位置、あるいは格納位置を指定する。次いでST209に示すようにチャンネルへの入出力要求を出力し、設定されたチャンネルに対してのデータ転送を開始する。データ転送が始まるとメモリへのアドレス出力をインクリメントしていく。設定転送数分の処理が終わるまでこれは継続され、データ転送が続行される。これがST210、ST211の状態である。

【0027】設定転送数分の処理が終了すれば、ST212に示すように終了処理を行う。終了処理は具体的には、内部設定のクリア、転送開始要求信号の立ち下げと

それに伴う転送開始許可信号の立ち下げ、転送実行の終了である。以上がDMAコントローラの基本的な説明である。

【0028】次に許可回路104による強制中断について図5のタイミングチャートを用いて説明する。タイミングチャートの上から順に、クロック（CLK）、転送開始要求信号（REQ）、転送開始許可信号（ACK）、残転送数、メモリアドレス（ADDRESS）、チャンネルへのイネーブル（ENABLE）、メモリへのアクセス（MEMORY\_ACCESS）、設定されているDMA転送命令状態（DMA\_START）、ACKのディレイ信号（ACK\_DELAY）、REQのアクティブ制御信号（REQ\_DOWN）の信号である。

【0029】CPU等により設定が行われたことでDMAコントローラは許可回路に対して転送開始要求信号（REQ）を出力する。これが501で示すタイミングである。この転送開始要求を受けた許可回路はDMAコントローラに対して状態が整っていれば転送開始許可信号（ACK）を返す。これが502に示すタイミングである。もちろんこのREQからACKまでにかかる時間はシステムにより任意である。

【0030】このACKを受けたDMAコントローラはデータ転送を開始する。メモリアクセスをアクティブにし、メモリアドレスを出力しインクリメントする。そのインクリメントに応じて残転送数をディクリメントし、チャンネルへのイネーブルはメモリアドレスが確定するタイミングでアクティブにされる。（システムの構成によるが本実施の形態ではチャンネルへのイネーブルはメモリアクセスに比べて1クロック遅れる）これらが503～506に示すタイミングである。507で示す期間がアクティブにされた任意のDMAコントローラが、設定されているチャンネルとメモリとのデータ転送を実行している期間である。

【0031】しかしながら転送を実行している最中に、他のDMAコントローラにより制御される他のチャンネルを活性化してデータ転送をしなければならない要因が起こることがある。この場合には507で示す本DMAコントローラでのデータ転送を強制的に中断する必要がある。

【0032】これを実現するのに、許可回路は強制的にアクティブにしてあったACKを立ち下げる。512に示すタイミングである。このACKの強制中断を受けたDMAコントローラはそれ以上のデータ転送を続けることはできないのであるから、511に示すようにREQを下げ要求を落とす。さらに、再び許可が下りることを期待して、該中断時の設定情報である残転送数や次にアクセスするメモリアドレス等を保存する。レジスタ305、306等に情報を保存して置くことになる。513で示すタイミングで残転送数を保存しており、514で示すタイミングでアドレスのインクリメントを停止して

いる。

【0033】また、DMA転送を中断するのであるから、516に示すようにメモリへのアクセスを停止し、515に示すようにチャンネルへのイネーブルも下げてメモリとチャンネルとの接続をきる。これらの処理がされている状態が517に示す中断期間である。

【0034】以上のように、許可回路からDMAコントローラへの転送開始許可信号を強制的に落とし、該強制中断を受けたところで中断時の情報を保存し、メモリアクセス、チャンネルへのイネーブル、アドレスのインクリメント等を停止する処理を行うことで、許可回路による強制中断でのDMA転送中断を可能とする。

【0035】（実施の形態2）実施の形態1によるDMA回路であれば許可回路による任意のDMAコントローラのデータ転送の強制中断を実現することが可能となった。しかしながら強制中断ができたとしても、DMA回路にはまだデータ転送の為の設定条件が残っており、DMAコントローラ自体はまだ許可回路に対して転送開始要求信号を出力しようとしてしまう。強制中断後にすぐさま転送開始要求を出力すると、許可回路はその転送開始要求信号により他のDMAコントローラへの許可を出せない状態になってしまう。そこで強制中断が入った場合にはDMAコントローラは許可回路に対しての転送開始要求信号の出力を一定時間止めることで、許可回路が他のDMAコントローラをアクセスするための準備時間を担保してやる。

【0036】図6は本発明の実施の形態2のDMAコントローラの回路図、図7は同一定時間許可不要求手段の回路図である。図3と同一の要素には同一符号を付すことにより説明は省略する。

【0037】601は一定時間許可不要求手段である。602はアドレスデコードにおいてDMA転送命令が認識された結果生成される内部信号でありDMA転送命令状態であるDMA\_START信号である。本来ならばDMA\_START==1であれば、そのままREQ信号も1として出力される。

【0038】一定時間許可不要求手段601について図7を用いて説明する。705はACK信号のディレイ信号ACK\_DELAYをつくるシフトレジスタであり、本実施の形態2では3クロックのディレイを作っている。701は論理積であり、(ACK==0)かつ(ACK\_DELAY==1)で真である。この出力信号704がREQ\_DOWNであり、論理積702によって示すようにREQ\_DOWN==1の期間はDMA\_STARTが1であってもREQが0出力となる。

【0039】タイミングチャート図5で説明する。図3での512によってACKが強制的に下げられて強制中断モードに入る。しかしながらこのACKの下がりは強制的なもので、終了状態ではないため、該DMAコントローラ内部ではいまだ転送命令の設定が残っており、5

08に示すようにDMA\_STARTはACKが下がってもアクティブの状態である。そのため、ACKが下がり、それを受けて511に示すようにREQが下がったとしても、次のクロックエッジでは該DMA\_STARTを基にREQ信号は再びアクティブになってしまう。

【0040】これだと許可回路の方ではREQが1クロック期間未滿しかノンアクティブではないので他のDMAコントローラに許可を切り替えるREQ処理部401内部での処理が間に合わず、該REQに縛られて再び同一のDMAコントローラに許可を与えてしまい、他のDMAコントローラへの切り替えができない事になる。

【0041】そこでACKの立ち下げの後、該ACKの任意サイクル幅のディレイ信号ACK\_DELAYを内部で生成し、(ACK==0)且つ(ACK\_DELAY==1)の成立する期間を510に示すREQ\_DOWNという内部信号を作る。該REQ\_DOWNがアクティブの期間はREQを落とし続けるとすれば、ACK\_DELAYで作ったディレイサイクルの期間はREQの出力がないという担保期間が作られる。511から518の間がREQの立たない担保期間である。

【0042】以上のようにACKの立ち下げによる強制中断時に、内部信号REQ\_DOWNを生成しREQのアクティブ制御を行うことで、許可回路が他のDMAコントローラに対しての許可切り替えを処理する時間を担保することを可能とする。

【0043】（実施の形態3）図8は本発明の実施の形態3のDMA回路のタイミングチャートである。タイミングチャートの上から順に、クロック(CLK)転送開始要求信号(REQ)、残転送数、メモリアドレス(ADDRESS)、チャンネルへのイネーブル(ENABLE)、メモリへのアクセス(MEMORY\_ACCESS)、設定されているDMA転送命令状態(DMA\_START)の信号である。

【0044】801はACKの強制中断であり、これにより実施の形態2で説明したREQ\_DOWN802が生成されREQの制御が行われる。REQは803で立ち下がり、809で再びアクティブになる。803から809の期間に許可回路は他のDMAコントローラへの許可を受け渡す処理の時間を担保される。

【0045】801の強制中断を受けてDMAコントローラは実施の形態1で説明したように、中断処理を行う。804~807に示す内容である。ここでACKが801で立ち下がっても、これは転送終了を受けたものではないのでコントローラ内部での設定情報はクリアされない。よって808に示すようにDMA\_STARTのアクティブ状態は維持される。

【0046】許可回路は強制中断の後、任意の時間後に再び転送開始許可を本DMAコントローラに与える。810で示すものである。これを受けてDMAコントローラは再びデータ転送を開始する。814で示すようにメ

メモリへのアクセスを再開し、813に示すようにチャンネルへのイネーブルをアクティブにする。アドレスのインクリメントも再開させるが、中断時直前に出力したアドレスに対応するデータのチャンネルへの転送は担保されていないので、813に示すように先にチャンネルへのイネーブルをアクティブにし、中断直前に出力したアドレスに対応するデータの転送を実行した後に、812で示すタイミング改めて次のアドレスへインクリメントする。残転送数のデクリメントも同様のタイミングである811から再開する。こうして中断時の続きとしてのデータ転送を再開する。

【0047】以上のように、一旦強制中断をされたDMAコントローラが任意時間後に転送開始要求を出し許可を得て、中断時の情報を基に正確なタイミングでデータ転送を再開する事で、強制中断されていたDMA転送の再開が可能となる。

【0048】（実施の形態4）図9は本発明の実施の形態4のDMA回路の機能ブロック図、図10は同DMA回路の動作のフローチャートである。本実施の形態4ではハッチングしてある105と107の2つのチャンネルを平行に動かすのにDMA転送を用いる事とする。実施の形態1～3で説明した各要素を総合して用いることで複数のチャンネルを並行に動かすためのデータ転送が可能になる。この流れを図10のフローチャートにより説明する。

【0049】まずDMAコントローラ102に転送設定をする。ST1001の状態である。図には示していないが、設定に従いDMAコントローラ102の許可回路に対して転送開始要求を出力する許可回路は該転送開始要求を受けてDMAコントローラ102に対して転送開始許可を与える。該許可に従ってDMAコントローラ102はチャンネル105に対してDMA転送を開始する。ST1002～ST1004に示す状態である。この転送中にDMAコントローラ103に対しての転送設定がCPU等によりなされた場合には、DMAコントローラ103も許可回路に対して転送開始要求を出す。ST1005の状態である。許可回路はこれを見てDMAコントローラ103に対して許可を切り替えることを判断し、ST1006に示すようにDMAコントローラ102に強制中断を与える。

【0050】この強制中断を受けたDMAコントローラ102は実施の形態1で説明したように中断処理を行う。チャンネル105では転送されていたデータに対しての処理を実行し、それが終われば新たにデータ転送がされるまで待機する。ST1007の状態である。さらにDMAコントローラ102は転送開始要求を一定期間下げるので、その間に許可回路は処理を実行してDMAコントローラ103に転送開始許可を与える。ST1008に示す状態である。該許可を受けST1009に示すようにDMAコントローラ103はチャンネル107に対

してデータ転送を開始する。これによりチャンネル105での処理が全て終了する前にチャンネル107での処理開始が可能になる。たとえばチャンネル107がチャンネル105の結果を受けて演算をする様な関係にある場合、チャンネル105での処理がバケットデータ全てに対して終了するのを待たずしてチャンネル107での処理をはじめたい場合などにこのような流れが起こる。

【0051】次いでチャンネル105での処理を再びしなければいけない状態になれば、ST1010で示すようにDMAコントローラ103を強制中断し、ST1011に示すように再びDMAコントローラ102に対して再度の転送許可を与える。DMAコントローラ102は実施の形態3での説明にあるようにDMA転送を再開する。ST1012である。

【0052】場合によってはST1012の状態の後、ST1006からST1012の状態を繰り返す事も考えられる。

【0053】このようにしてST1013に示すようにDMAコントローラ102によるチャンネル105への転送が終了し、再びDMAコントローラ103に転送許可を与えてDMAコントローラ103によるDMA転送も終了する。以上のように強制中断と、再開とを任意に繰り返して複数のチャンネルへのデータ転送を平行に行うことで、チャンネルの並行活性が可能となる。

【0054】（実施の形態5）実施の形態1から実施の形態4ではDMAコントローラを切り替えてデータ転送を切り替えて実行する事を説明してきたが、場合によっては特定のチャンネルへ集中転送を実行したい場合がある。実施の形態5ではこの事について説明する。

【0055】図11は本発明の実施の形態5のDMAコントローラの回路図、図12は同強制続行判断手段の回路図、図13は同DMA回路のタイミングチャートである。1101は強制中断が入っても集中転送を続行するための処理を行う強制続行判断手段である。1102はアドレスデコーダでのデコード結果からの信号で、強制続行を行うモード認識の為のモード信号(MODE)であり602は実施の形態2、3で説明したDMA転送命令状態を示す信号であるDMA\_STARTである。

【0056】許可回路からの転送開始許可信号ACKが返答される事で転送が開始され、実施の形態1～4で示したようにACKが強制的に立ち下げられると転送を中断するのだが、本実施の形態では、ACK信号が強制的に下げられても、1101の強制続行判断手段において判定された場合には、転送を強制続行する。1101で強制続行が判断された強制続行の為のイネーブル出力はKEEPという信号として出力され、312～314の論理積と、インクリメント309、デクリメント310に入力する。

【0057】1101の強制続行手段については図12、図13を用いて説明する。図12は1101の回路



図である。アドレスデコーダ302からのMODE信号とDMA\_START信号がある。1102と602である。1201は論理積であり、1103が論理積の出力であり、強制続行を制御する信号KEEPである。生成条件は $ACK == 0$ かつ $MODE == 1$ かつ $DMA\_START == 1$ である。このKEEP信号はACKの強制立ち下げがあった場合でもDMA転送を続行するためのイネーブル信号になる。

【0058】更にKEEPはDMA\_STARTとともに論理和1202に inputs して、いずれか一方が真の時にREQが1で出力される事になり強制立ち下げ時のREQのアクティブ保持を行う。図11に示すようにこのKEEP信号はインクリメント309、デクリメント310、論理積312～314に inputs し、DMA転送の続行を担保する。

【0059】続いて図13のタイミングチャートで説明する。タイミングチャートの上から順に、クロック(CLK)、転送開始要求信号(REQ)、転送開始許可信号(ACK)、強制中断でも転送状態を保持する信号

(KEEP)、残転送数、メモリアドレス(ADDRESS)、チャンネルへのイネーブル(ENABLE)、メモリへのアクセス(MEMORY\_ACCESS)、集中転送のモードを示す設定信号(MODE)の各信号である。

【0060】DMA転送が実行されている間に1302に示すように許可回路がACKを立ち下げて強制中断にする。この時予め集中転送を命じる設定がなされてMODE信号が1308に示すようにアクティブ状態であり続ける場合にはACKの下がりを受けてKEEP信号をアクティブにする。1303のタイミングである。

【0061】このKEEP信号がアクティブである場合には1301に示すようにREQを下げずに保持し、中断処理も行わない。1304～1307に示すようにアドレスのインクリメント、残転送数のデクリメント、メモリアクセスの出力、チャンネルへのイネーブルの出力は転送状態と同じく続行する。この転送が解除されるのはたとえば転送終了した場合や、チャンネル側で転送オーバーフローが起こりそうになって転送を中断した方がよい状況等が考えられる。

【0062】このように許可回路の強制中断が起こった場合でも、集中転送の設定に従い内部信号による処理で転送状態を続行することで、特定のチャンネルへの集中転送が可能になる。

【0063】

【発明の効果】本発明の実施の形態1のDMA回路によれば、許可回路からDMAコントローラへの転送開始許可信号を強制的に落とし、該強制中断を受けたところで中断時の情報を保存し、メモリアクセス、チャンネルへのイネーブル、アドレスのインクリメント等を停止する処理を行うことで、許可回路による強制中断でのDMA転

送中断が可能となる効果を有する。

【0064】本発明の実施の形態2のDMA回路によれば、ACKの立ち下げによる強制中断時に、内部信号を生成し転送開始要求信号のアクティブ制御を行うことで、許可回路が他のDMAコントローラに対しての許可切り替えを処理する時間を担保することを可能とする効果を有する。

【0065】本発明の実施の形態3のDMA回路によれば、一旦強制中断をされたDMAコントローラが任意時間後に転送開始要求を出し許可を得て、中断時の情報を基に正確なタイミングでデータ転送を再開する事で、強制中断されていたDMA転送の再開が可能となる効果を有する。

【0066】本発明の実施の形態4のDMA回路によれば、強制中断と、再開とを任意に繰り返し複数のチャンネルへのデータ転送を平行に行うことで、チャンネルでの並行処理を可能にする効果を有する。

【0067】本発明の実施の形態5のDMA回路によれば、許可回路の強制中断が起こった場合でも、集中転送の設定に従い内部信号による処理で転送状態を続行することで、特定のチャンネルへの集中転送が可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のDMA回路の機能ブロック図

【図2】本発明の実施の形態1のDMA回路の動作のフローチャート

【図3】本発明の実施の形態1と2のDMAコントローラの回路図

【図4】本発明の実施の形態1の許可回路とDMAコントローラとの回路図

【図5】本発明の実施の形態1と2のDMA回路のタイミングチャート

【図6】本発明の実施の形態2のDMAコントローラの回路図

【図7】本発明の実施の形態2の一定時間許可不要求手段の回路図

【図8】本発明の実施の形態3のDMA回路のタイミングチャート

【図9】本発明の実施の形態4のDMA回路の機能ブロック図

【図10】本発明の実施の形態4のDMA回路の動作のフローチャート

【図11】本発明の実施の形態5のDMAコントローラの回路図

【図12】本発明の実施の形態5の強制続行判断手段の回路図

【図13】本発明の実施の形態5のDMA回路のタイミングチャート

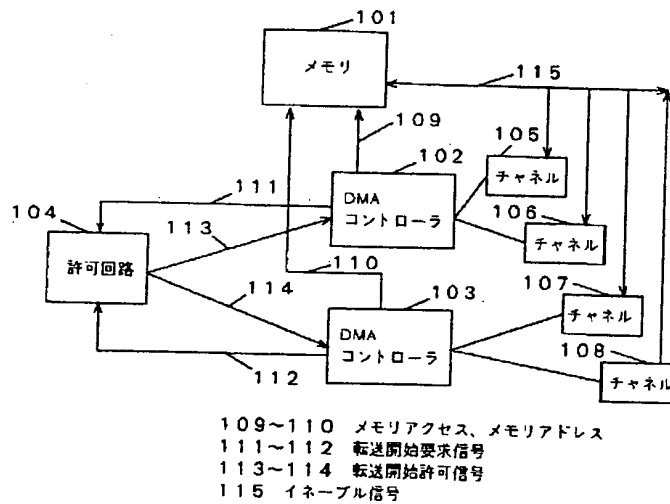
【符号の説明】

101 メモリ

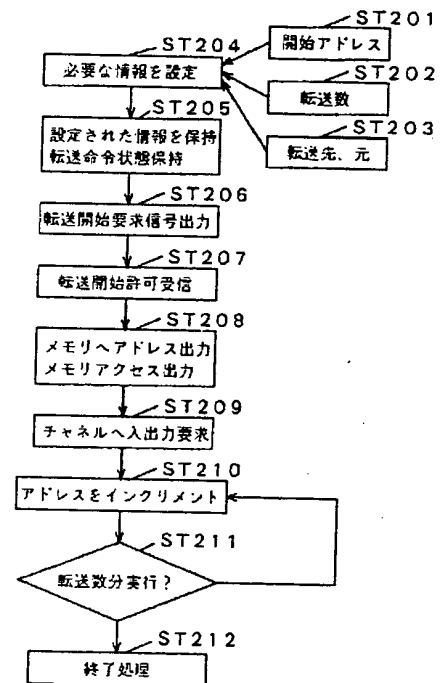
102 DMAコントローラ  
 103 DMAコントローラ  
 104 許可回路  
 105~108 チャンネル  
 109~110 メモリアクセス、メモリアドレス  
 111~112 転送開始要求信号  
 113~114 転送開始許可信号  
 115 イネーブル信号  
 301 DMAコントローラ  
 302 アドレスデコーダ  
 303 アドレスデータ  
 304 転送数データ  
 305 レジスタ  
 306 レジスタ  
 307 メモリアクセス  
 308 イネーブル信号  
 309 インクリメント  
 310 ディグリメント  
 311 終了判定部

312 論理積  
 313 論理積  
 314 論理積  
 315 ACK信号  
 316 REQ信号  
 317 終了信号  
 401 REQ処理部  
 402 スイッチ  
 601 一定時間許可不要求手段  
 602 DMA\_START信号  
 701 論理積  
 702 論理積  
 704 REQ\_DOWN信号  
 705 シフトレジスタ  
 1101 強制続行判断手段  
 1102 MODE信号  
 1103 KEEP信号  
 1201 論理積  
 1202 論理和

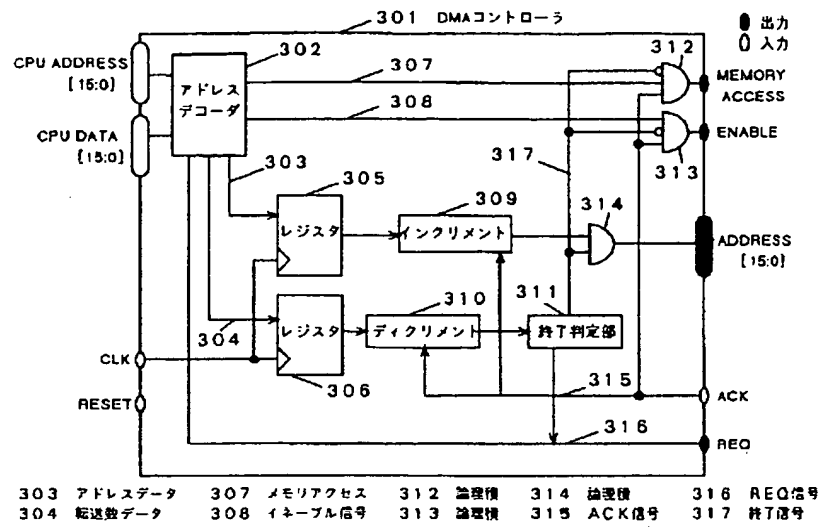
【図1】



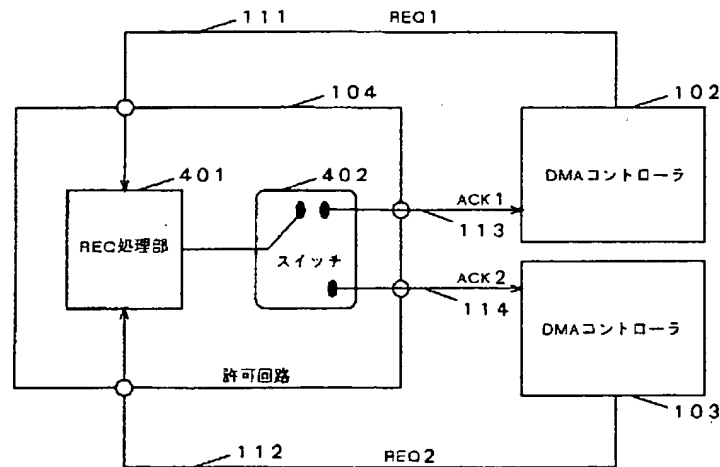
【図2】



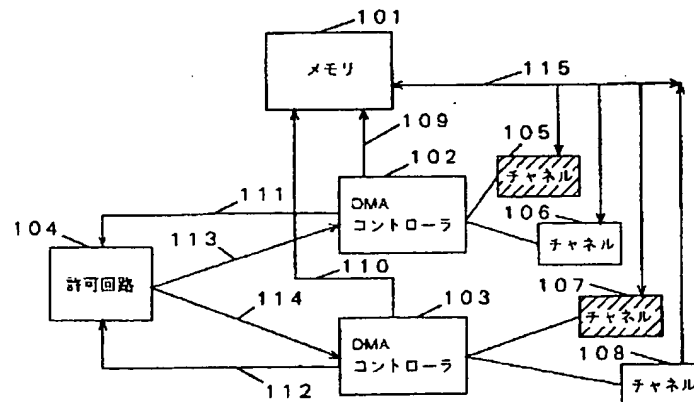
【図3】



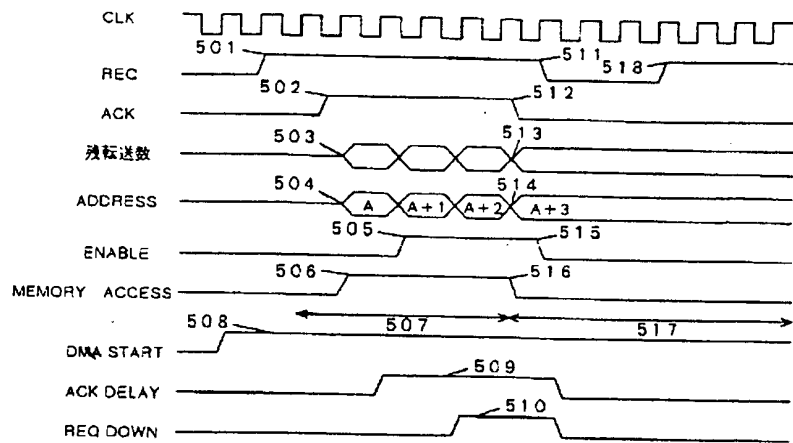
【図4】



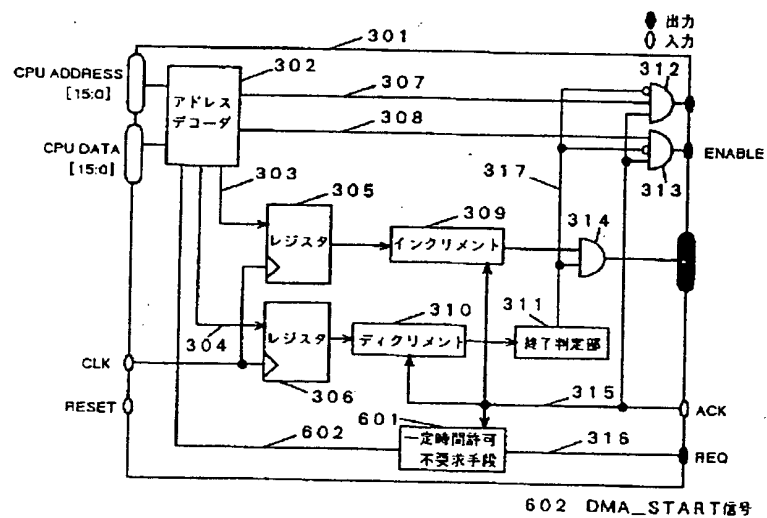
【図9】



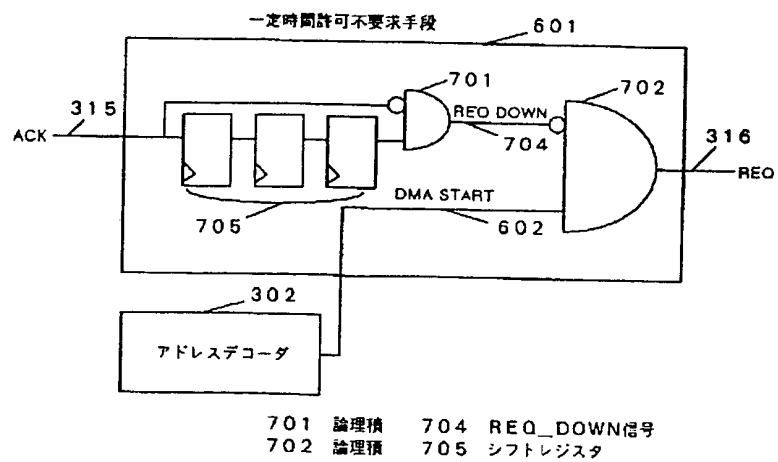
【図5】



【図6】

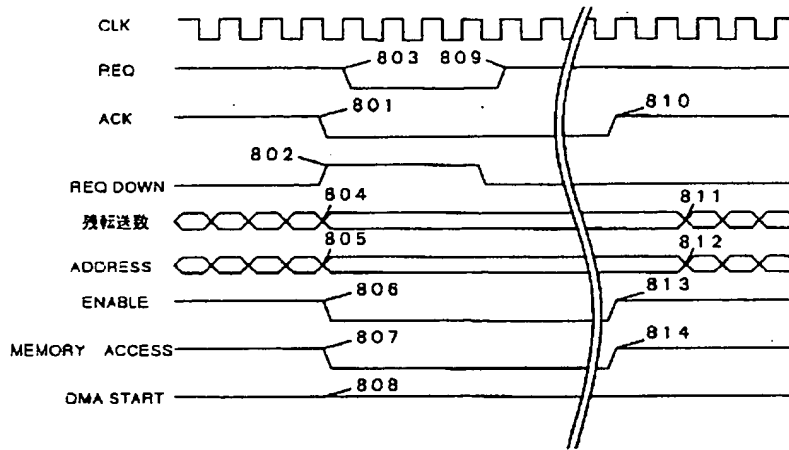


【図7】

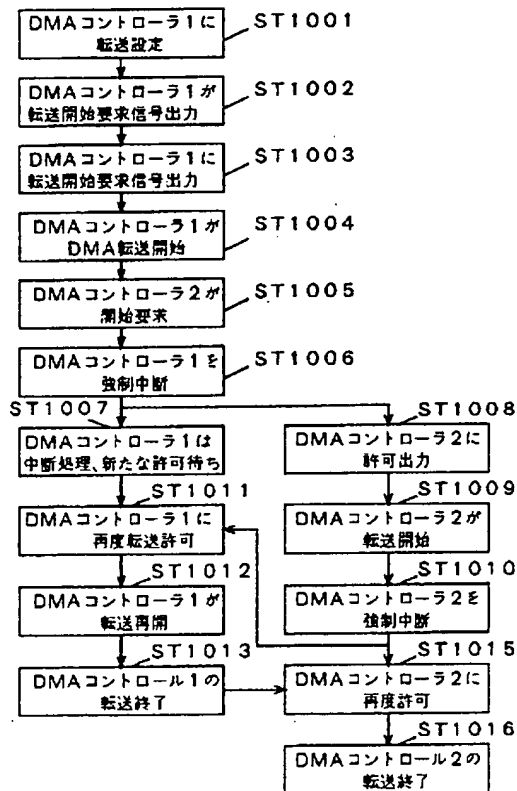


701 論理積 704 REQ\_DOWN信号  
702 論理積 705 シフトレジスタ

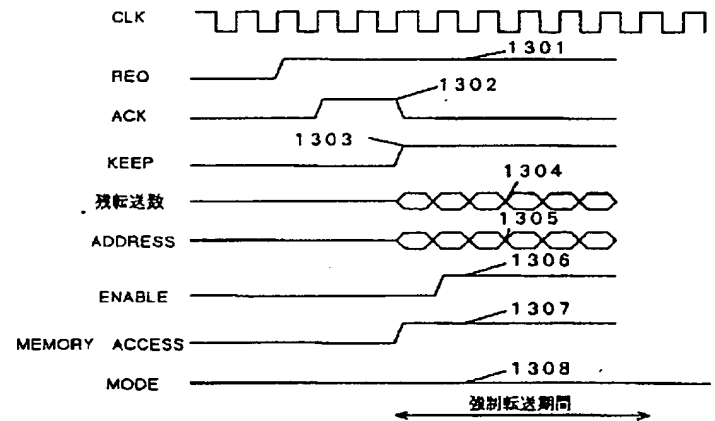
【図8】



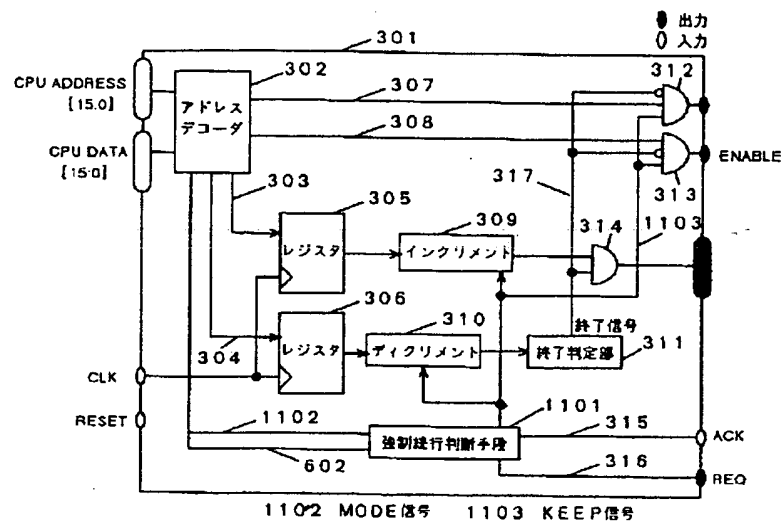
【図10】



【図13】



【図11】



【図12】

